

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

COPYRIGHT: (C)1984,JPO&Japio

=> d his

(FILE 'JPO' ENTERED AT 10:20:54 ON 25 JAN 1999)
DEL HIS Y

L1 108 S ANTIFUSE OR ANTI-FUSE
L2 17 S L1 AND VOLTAGE AND PROGRAM?
L3 0 S L2 AND (REFERENCE OR BIAS)
L4 2 S L2 AND RESISTOR

=> d cit ab 2

2. JP359105354A , Jun. 18, 1984, SEMICONDUCTOR DEVICE; ROBAATO, DEII
RANGU,
INT-CL: H01L27/08; G11C29/00; H01L27/10

JP359105354A

L4: 2 of 2

ABSTRACT:

PURPOSE: To reduce the occupation area of a **program** circuit to cut and connect a fuse or a redundant element and thus unnecessitate a large transistor to supply **program** current by positively utilizing the latch-up phenomenon of a complementary type MOS transistor.

CONSTITUTION: An MOS Tr Q<SB>1</SB> turns ON and OFF by a logic signal P<SP>-</SP>. Now, when the signal P<SP>-</SP> is at a low level, the MOST

Tr Q<SB>1</SB> turns ON and supplies current to a P-well 2 via a resistor R<SB>p</SB> existent in the P-well region 2 and via the base of a proper parasitic N-P-N Tr 14 in a CMOS structure. The base current of this N-P-N Tr 14 triggers a parasitic thyristor formed by a P-N-P Tr 17 adjacent thereto together, and the ON-resistance of this parasitic thyristor is set at 10Ω or less; therefore when this current exceeds the critical level, the fuse F is fused, and then the parasitic thyristor automatically turns OFF. When this fuse is an anti-fuse, it is necessary to exceed a breakdown voltage.

COPYRIGHT: (C)1984,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59-105354

⑪ Int. Cl.³
H 01 L 27/08
G 11 C 29/00
H 01 L 27/10

識別記号

庁内整理番号
6655-5F
7922-5B
6655-5F

⑬ 公開 昭和59年(1984)6月18日

発明の数 1
審査請求 有

(全 9 頁)

⑭ 半導体装置

川崎市幸区堀川町72東京芝浦電
気株式会社堀川町工場内

⑯ 特 願 昭57-214609

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭57(1982)12月9日

川崎市幸区堀川町72番地

⑲ 発 明 者 ロバート・ディー・ラング

⑳ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称 半 導 体 装 置
2. 特許請求の範囲

第1導電型の半導体基板と、この基板に形成された第2導電型の半導体領域と、前記第1導電型の半導体基板に一对の不純物領域が形成されかつ第2導電型チャネルを有する第1の境界効果トランジスタと、前記第2導電型の半導体領域に一对の不純物領域が形成されかつ第1導電型チャネルを有する第2の境界効果トランジスタ及び第2導電型の接続領域と、この接続領域と前記第1の境界効果トランジスタの一方の不純物領域を接続する接続手段と、前記第1の境界効果トランジスタの他方の不純物領域に接続された第1の電極と、前記第2の境界効果トランジスタの一方の不純物領域に接続された第2の電極と、前記第1の電極から第2の電極への電流経路に挿入された接断素子とを具備したことを特徴とする半導体装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は半導体装置とそのプログラム方法に係り、特に接断素子の切断あるいは接続して用いて好適な半導体装置に関するものである。

(発明の技術的背景とその問題点)

従来半導体装置の冗長素子あるいは汎用素子のプログラムは個々の半導体回路内で利用されている。例えば PROM, EPROM, E²PROM, d-RAM としてスタティック RAM 等であるがこれに限定されるものではない。これらプログラム可能素子はストアデータあるいはマイクロコードとして使用することができ、システム内のチップのアドレスに適用され、不完全な大きいチップの部分使用を可能にし、回路内の欠点のある素子を代替素子に置き換えることができる。また、製造と特別な場合はアセンブリの冗誤したあと、任意に回路内に多くの他の永久のあるいは一時的な、プログラムの変更を行うことが可能である。この場合、プログラム可能素子は例えば EPROM あるいは E²PROM である。

現在の主なプログラム可能素子として技術文献から知られるように、以下の3つのタイプ

が上げられる。

(1) フューズ・リソグラフィ方式…、一般には金属、金属合金、高ドーパ 半導体層例えば p^{++} 多結晶シリコン、あるいは金属-半導体合金、がフューズ材料として使用される。

(2) フューズを逆に使用する、例えば、非導電状態から導電状態へプログラムする素子がある。これはアンチ・フューズと呼ばれている。このような素子は例えば多結晶シリコンよりなる2つの p^{++} 領域間に p^- 領域が形成されたものであり、高電流ブレークダウン状態でこの素子は高抵抗 ($10^8 \Omega$) から低抵抗 ($10^3 - 10^4 \Omega$) へ変化しプログラムされる。

(3) EPROM あるいは E^2PROM は、フィールド電荷注入を必要とし、領域のしきい値を順次に変化して、バイアス条件下の導電率を変化する。

またプログラム可能素子の選択に加えて、プログラム方法の選択もまた問題である。EPROM と E^2PROM の製造に使用されるような電気的方法によってのみプログラムされる NPNROM や E^2PROM の

場合は別としてフューズとアンチフューズプログラム方式に使用される2つのより好ましい方法には

- (1) チップ上に作り込まれた特別な回路によって高電流を流し電氣的にプログラムを行なう方法と、
- (2) 直接熱するか、あるいは、たいへん少くスポットをしぼったレーザー・ビームによって任意個々プログラムする方法がある。実際の製造にはまだ使われていないが、(2)と実質的に似た方法として、発明者の知るかぎり、エレクトロン、イオンあるいは他の非光性エネルギービームによってプログラムする方法がある。以上述べた電気的プログラム方法とレーザービーム方法には利点と欠点を有しており、電気的プログラム方法の利点として、
- (1) プログラムのための特別な装置が要求されない。
- (2) プログラムが容易で早い。
- (3) テストプログラムと再テストが1度の自動ステップでできる。
- (4) プログラムがバッチベリション誤のあるなしに関係なくできる。このことによって信頼性が増す。
- (5) プログラムによる近接素子への損傷を避けることができる。
- (6) アセンブリのあとあるいは製造中の

どの時点でもプログラムすることが可能である。次にレーザービーム方法の利点としては、(1) チップ上にプログラム回路が必要ない。(2) 素子がプログラムされたかどうかを確かめるための電流を回路は必ずしも必要ない。というのは電流の1方へ素子が必ずしも触れられる必要がないためである。また電気的プログラム方法の欠点は(1) プログラム回路のためのチップ面積が必要である。特に、過大なプログラム電流を供給するため大きいトランジスタが必要である。(2) プログラムするため通常の動作電位より高い電圧と、外部入力パッドが要求されることが多い。(3) プログラムしない状態の素子の性能を維持するため、プログラム電流を流す供ら、過大な大きさの電流トランジスタが必要である。

レーザービーム方法の欠点としては、

- (1) プログラム用の高くて複雑な装置が要求される。
- (2) プログラムはたいへん正確なウェハの位置決めが必要で複雑なステップが要求される。

- (3) テストとプログラムと再テストは別々の3つの動作が要求される。
 - (4) プログラムされる素子は通常バッチベリション誤を形成できない。そのため信頼性が低下する。
 - (5) 近接素子への損傷を避けるためのプロセス制御が必要である。
 - (6) プログラムは実際ではウェハの装束でのみ行なうことができ、のちの製品化への障害となる。
- 等である。

以上述べたようにフューズあるいはアンチフューズ方式の電気的プログラムに対して、必要とされるものは、たいへん少く面積とたいへん低いオン抵抗である。しかし通常使用されている IC、特に、MOSFET では満足するものではない。一方、サイリスタはオン抵抗がたいへん低く、少ない面積を占めるたいへんよいスイッチであるが、CMOS プロセスあるいはバイポーラプロセスへはプロセスを補正することなく適用することは難しいと

いう欠点を有している。

また、従来からドチャネルMOS形トランジスタとNチャネルMOS形トランジスタよりなる相補形MOSトランジスタ(CMOS)ICでは、IC内で、寄生サイリスタが外來雑音によって、ターンオンする現象、即ち「ラッチアップ現象」が知られてきた。このラッチアップ現象はCMOS・ICの誤動作を引起したり、時には、ICの破壊を引き起す。従って、この現象をとり除くため従来種々の工夫が成されてきた。

〔発明の目的〕

本発明は上記欠点に鑑みなされたもので、電気的プログラム方法において、従来CMOS・ICの誤動作を引き起こしていたラッチアップ現象を減に利用しプログラム回路のための占有面積が少なく、また、プログラム電流を供給するための大きなトランジスタが不要な半導体装置を提供することを目的とするものである。

〔発明の概要〕

本発明の装置は、第1導電型の半導体基板と、

この基板に形成された第2導電型の半導体領域と、前記第1導電型の半導体基板に一对の不純物領域が形成されかつ、第2導電型チャネルを有する第1の電界効果トランジスタと、前記第2導電型の半導体領域に一对の不純物領域が形成されかつ、第1導電型チャネルを有する第2の電界効果トランジスタ及び第2導電型の接続領域と、この接続領域と前記第1の電界効果トランジスタの一方の不純物領域を接続する接続手段と、前記第1の電界効果トランジスタの他方の不純物領域に接続された第1の電極と、前記第2の電界効果トランジスタの一方の不純物領域に接続された第2の電極と、前記第1の電極から第2の電極への電流経路に挿入された接断素子とを具備したことを特徴とする半導体装置である。

尚、本発明において接断素子は単なるフェーズだけでなく、発明の技術的背景で記載したアンチフェーズも包含するものである。

〔発明の実施例〕

以下、実施例に従って本発明を詳細に説明する。

第1図乃至第3図は、本発明の第1の実施例を示す図である。第1図は本発明に係る第1の実施例を示す等価回路図、第2図は本発明に係る第1の実施例を示す縦断平面図、第3図は第2図のA-A'に沿って切断した縦断断面図である。以下、図面において同一箇所は同一符号を付して説明する。また、第1の実施例の構造を第3図に使い説明する。第3図に示すように半導体基板例えば不純物濃度 10^{18}cm^{-3} のN型半導体基板(1)に例えば不純物濃度 10^{18}cm^{-3} のPウェル領域(2)が形成され、N型半導体基板(1)には、P型チャネルMOSトランジスタ(Q_1)が、そしてPウェル領域(2)にはN型チャネルMOSトランジスタ(Q_2)が形成されている。以下、これらMOSトランジスタをMOS Trと略称する。MOS Tr(Q_1)のゲートには論理信号 \bar{P} が印加されており、一对の不純物領域の一方の不純物領域例えば不純物濃度 $10^{18}\sim 10^{19}\text{cm}^{-3}$ のソース領域(4)と半導体基板(1)には第1の電極電圧 V_{DD} が印加され、他方の不純物領域例えばドレイン領域(6)はPチャネル領域(2)と不純物濃度 $10^{18}\sim 10^{19}\text{cm}^{-3}$ の領域(8)を介して接

続されている。またMOS Tr(Q_2)のゲートとドレイン領域時にはフェーズ(F)のプログラムの状態を調べるための入出力端子(IN)(OUT)が接続され、不純物濃度 $10^{18}\sim 10^{19}\text{cm}^{-3}$ のソース領域(4)にはフェーズ(F)を介して第2の電極電圧 V_{SS} に接続されている。また、第1、第2の電極 V_{DD} 、 V_{SS} はそれぞれ領域(9)、(10)を介してN型半導体基板(1)、Pウェル領域(2)に接続されている。ここで R_N 、 R_P はそれぞれ半導体基板(1)、Pウェル領域(2)に存在する抵抗を表わし、トランジスタ Q_1 、 Q_2 はそれぞれ、第3図に示す半導体装置に寄生するNPNトランジスタとPNPトランジスタである。

次に、第1図乃至第3図に使い回路動作について説明する。通常よく知られた回路によって発生された論理信号 \bar{P} によってMOS Tr(Q_1)はオン、オフする。今、 \bar{P} がローレベルならMOS Tr(Q_1)はオンし、Pウェル領域(2)に存在する抵抗 R_P を介して、またCMOS構造において固有の寄生NPN Tr(4)のベースを通してPウェル(2)へ電流を供給する。このNPN Tr(4)のベース電流は、となり合うPNP Tr

図とによって形成される寄生サイリスタをトリガし、この寄生サイリスタのオン電流は $10(\Omega)$ 以下に設定されているため、 E^+ エミッタに大きい電流を流し、この電流が臨界レベルを超すとフューズ(図)を遮断し、寄生サイリスタは自動的にオフする。このフューズがアンチフューズの場合はブレークダウン電圧を超える必要がある。アンチフューズの場合の好ましい回路例を第4図、第5図、第8図に示す。このフューズ(図)が、多結晶シリコン・フューズの場合、臨界電流密度は保護膜がある場合は約 $1.7 \times 10^7(A/cm)$ で保護膜がない場合は約 $7 \times 10^7(A/cm)$ である。フューズ(図)が厚み $0.25(\mu m)$ 、巾 $2(\mu m)$ の場合、フューズ(図)を遮断する電流は保護膜がある場合は $85(mA)$ 、ない場合は $35(mA)$ となる。ここで $MOS\ Tr(Q_1)$ はトリガ電流を供給するために使われ、 $MOS\ Tr(Q_2)$ はプログラムが行なわれたかどうかを検査するために使われる。 $MOS\ Tr(Q_3)$ は $2 \sim 300(\mu A)$ を供給するのに充分大きい必要がある。通常の場合ゲート幅とゲート長の比 $W/L=1$ である。第2図では $W/L=4$ の場合

を示している。このゲート酸化膜が 250\AA より厚い場合、フューズ遮断電流を供給するため大きな N チャネル $MOS\ Tr$ を使う場合、そのゲート幅とゲート長の W/L 比は保護膜がない場合で少なくとも140、保護膜がある場合で60必要である。通常の回路マージンを供給するためには W/L 比を実際はもっと大きくする必要がある。それに対し本発明では少なくとも1箇所あるいはそれ以上プログラム回路の面積を減少できた。

第1図に示されるように、付加的な検査用パッドはプログラム回路の動作のために必ずしも必要ないものである。しかし、種々の他の実施例において有効に使用される。通常のプログラム回路は電源電圧 $5(V)$ で動作できるように設計されるが電源電圧の適宜な増加例えば $7(V)$ を使用する実施例ではやや大きい回路マージンを有することが可能である。これは、フューズ、特に多結晶シリコンが遮断されるためには電流だけでなく電圧も要求されるためである。フューズの最も狭い部分が 2.0μ の多結晶シリコンフューズに対する一般的に

遮断電圧値は保護膜がある場合は $21(V)$ でない場合は $19(V)$ である。

以上述べたように、従来のCMOS回路において、好ましくないとされてきたラッチアップ現象を逆に積極的に利用することによって、遮断素子の形成、非遮断を制御することが可能である。また、 $NPN\ Tr$ と $PNP\ Tr$ によって形成されるサイリスタはCMOSトランジスタの寄生素子であるため、プロセスの改良も必要なく、また占有面積も少なくて良い。

本発明において電圧を流す、従来のCMOS ICにおいてラッチアップ現象を防止するため寄生サイリスタ内の PNP トランジスタと NPN トランジスタ間の電流的経路を遮断していたものを本発明では寄生サイリスタをオンさせるため PNP トランジスタと NPN トランジスタ間の電流的経路(1)を形成することである。

次に、第2の実施例を第4図、第5図に従って詳細に説明する。第4図、第5図は、フューズ(図)の第2の電極端子側がドウェル(2)の接地電位 V_{ss}

に接続されず V_{DD} に接続されている場合を示している。この回路は、フューズ(図)の抵抗が高い場合、特に、アンチフューズのように、ブレークダウン電圧によって制御される場合、このフューズの電圧降下のため NPN トランジスタ(1)のエミッタに負帰帰効果働き、プログラムのためオンした寄生サイリスタがオフすることを防ぐため $NPN\ Tr$ (1)のベースに第3の電極 V_{DD} を接続し、通常動作の時は P ウェル(2)に V_{DD} を印加し、フューズ(図)をプログラムするとき、第3の電極 V_{DD} をフローティング状態にして、フューズ(図)による $NPN\ Tr$ (1)のエミッタ負帰帰効果を防ぐものである。 $MOS\ Tr(Q_1)$ は第1の実施例と同様フューズ(図)が導通か非導通かをテストするためのトランジスタである。使用法は $MOS\ Tr(Q_1)$ のゲート端子(1N)に電圧を印加し、OUT端子の電圧値を調べることによってフューズ(図)の状態を検出できる。

次に第3の実施例を第6図乃至第9図に従って詳細に説明する。第6図と第8図は、第4図に述べたように、フューズ(図)による $NPN\ Tr$ (1)のエミ

ト負増強効果を与えるため第2、第3の電源電圧 V_{DD1} , V_{DD2} を設けず、第2の電源 V_{DD} のみを設け、フューズ回路をプログラムする間は、Pウェル領域(2)をオフするために、第6図ではゲートに論理信号Pが印加されたPチャネルのMOS Tr(Q_1)を、第8図ではゲートに論理信号 \bar{P} が印加されたNチャネルのMOS Tr(Q_2)を設ける。通常動作の時にPウェル領域(2)を効率的に接地電位に落とすために充分低い抵抗、例えば $2(K\Omega)$ となるようにゲート酸化膜厚が $250(\text{\AA})$ の場合は第6図に示すPチャネルMOS Tr(Q_1)では、そのゲート幅とゲート長の W/L 比を13に、第8図に示すNチャネルMOS Tr(Q_2)では W/L 比を4.5にすれば良い。

次に第4の実施例を、第10図、第11図に従い説明する。第10図は、 V_{DD1} が余分のパッドによって与えられた回路を示す。プログラムの間は $V_{DD1} = V_{DD2}$ であるが、通常の回路動作の場合は $V_{DD1} = V_{DD}$ である、そして全ての \bar{P} 信号が低レベルになったとき、PチャネルトランジスタMOS Tr(Q_1)はオンを保ち、それゆえPウェルへ V_{DD} を供給する。また、Pウ

ェル領域(2)に接地レベルを与えるためにはPチャネルMOS Tr(Q_1)の W/L 比は13.5かそれ以上が望ましい。

次に第5の実施例を第12図乃至第15図に基づき、詳細に説明する。第12図、第14図に示す等価回路は、フューズ(4)、あるいはアンティフューズがサイリスタの V_{DD} の側へ接続され、フューズ(4)のプログラム状態をアストするためのPチャネルMOS Tr(Q_1)がフューズ(4)の V_{DD} 側と反対側に接続されている。第14図において、第1の電源 V_{DD} は V_{DD1} と V_{DD2} の2つ設けられているが、電源 V_{DD2} は設けずしも設ける必要はない。というのは、基板領域はいたるところに存在し、多くの箇所でも通常接続されるからである。従って付加的に局所に設けられた接続が特別なポイントから見た面積の広がり抵抗を減らすことはない。

次に第16図、第17図に従い第6の実施例を説明する。第16図は、完全なサイリスタが要求されずCMOSと同一のプロセスの特徴を利用する。プログラム回路を示す。第16図において高い電圧増幅

率($\beta > 100$)のTr(4)がフューズ(4)を遮断するものである。Pチャネルトランジスタ(Q_1)は、第1図乃至第15図に示した寄生サイリスタの場合より多くの電流を供給しなければならない。そして寄生サイリスタがらうどオンするまででなくプログラムが終了するまで電流を流しつづけられなければならない。フューズ(4)のプログラム状態はMOS Tr(Q_2)によって行なわれる。

尚、本願ではN型半導体基板にPウェル領域を形成したCMOS Trの実施例に基づき説明したが、これに限定されるものではなく、P型半導体基板にNウェル領域を形成したCMOS Trあるいはバイポーラ素子を使用して構成してもよい。

また、本発明はCMOS製品やバイポーラ製品だけでなく、NMOS製品や、d-RAM, EPROM, EEPROM製品等へも適用できることは明らかである。

(発明の効果)

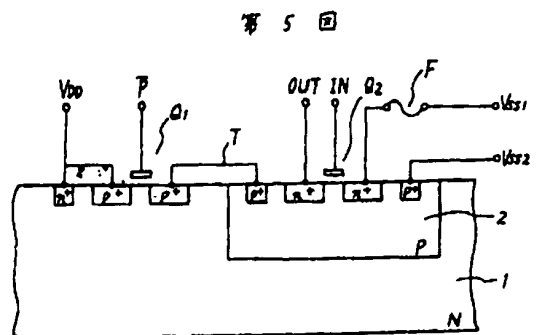
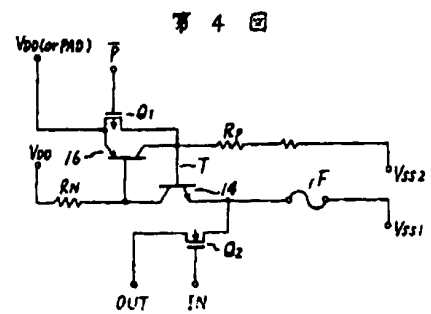
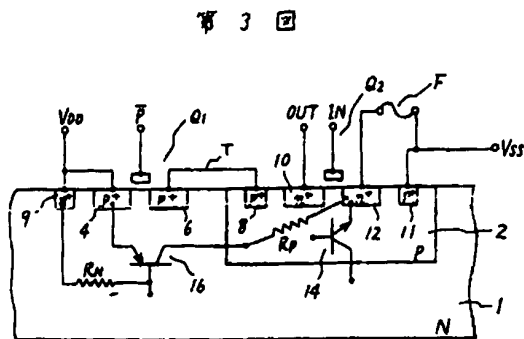
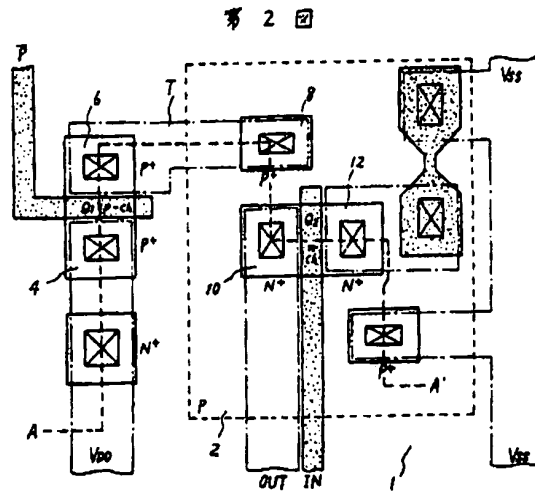
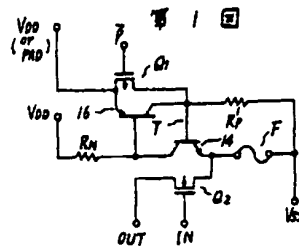
以上、説明したように、本発明によれば、従来の相補形MOSトランジスタのラッチアップ現象を積極的に利用して、フューズあるいは冗長素子を遮

断するためのプログラム回路の占有面積が少なく、またプログラム電流を供給するための大きなトランジスタが不要な半導体装置を提供するものである。

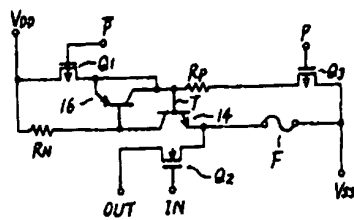
4. 図面の簡単な説明

第1図は本発明に係る第1の実施例を示す半導体装置の等価回路図、第2図は本発明に係る第1の実施例を示す半導体装置の概略平面図、第3図は第2図のA-A線に沿って切断した概略断面図、第4図、第6図、第8図、第10図、第12図、第14図、第16図はそれぞれ本発明に係る他の実施例を示す半導体装置の等価回路図、第5図、第7図、第9図、第11図、第13図、第15図、第17図はそれぞれ本発明に係る他の実施例を示す半導体装置の概略断面図である。図において、

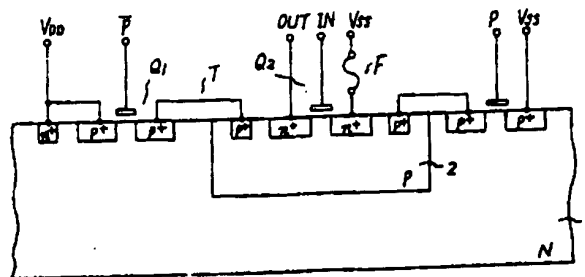
V_{DD} …第1の電源、 V_{DD} …第2の電源、 \bar{P} …論理信号、1 …半導体基板、2 …半導体領域、4, 6, 10, 12 …不調音領域、8 …接続領域、P …接続素子、 Q_1, Q_2 …電界効果トランジスタ、T …接続手段。



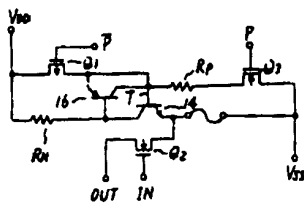
第 6 回



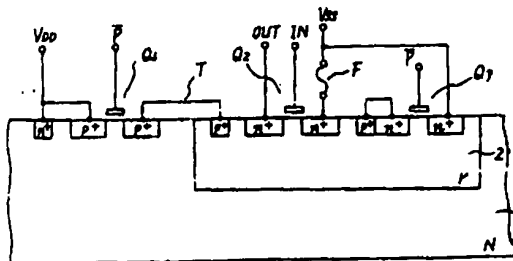
第 7 回



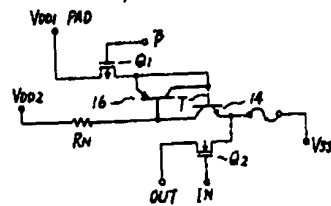
第 8 回



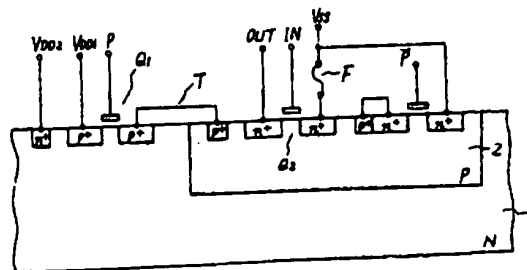
第 9 回



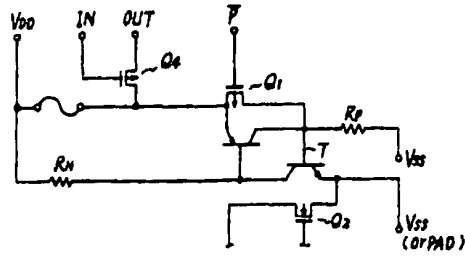
第 10 回



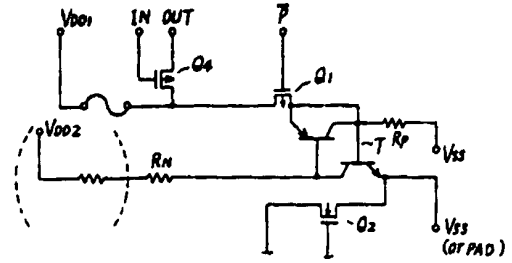
第 11 回



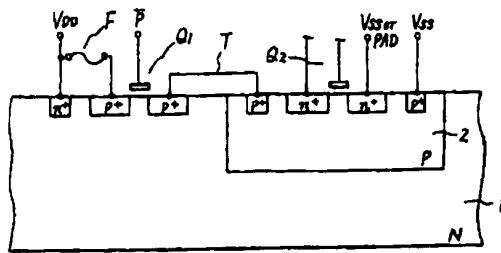
第 12 图



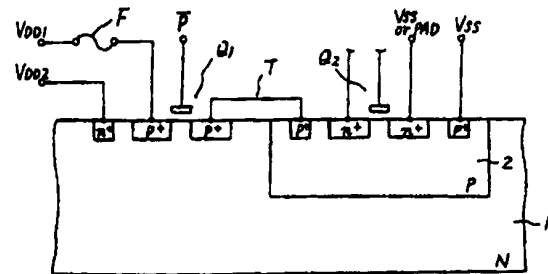
第 14 图



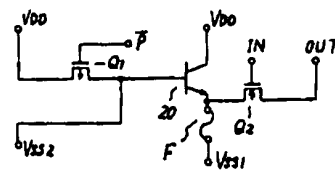
第 13 图



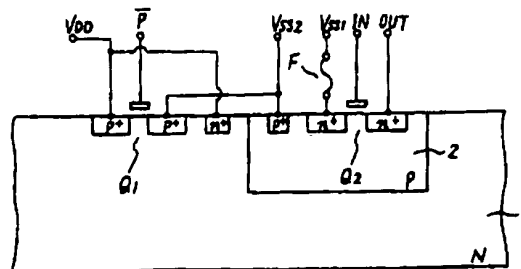
第 15 图



第 16 图



第 17 图



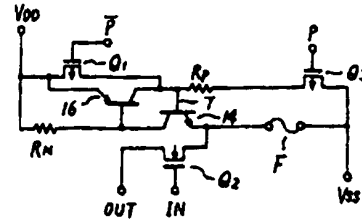
昭和 58 年 6 月 8 日

特許庁長官殿

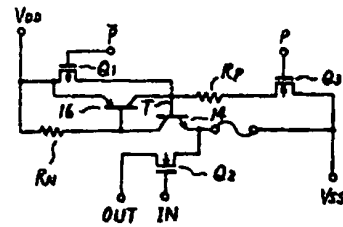
1. 事件の表示
特願昭 57 - 214609 号
2. 発明の名称
半導体装置
3. 補正をする者
事件との関係 特許 出願人
(307) 東京芝浦電気株式会社
4. 代理人
〒100
東京都千代田区千代田 1-1-6
東京芝浦電気株式会社東京事務所内
(7317) 弁護士 藤 近 重 佑
5. 補正の対象
図 面
6. 補正の内容
図面の中、第 6 図、第 8 図、第 10 図、第 14 図を別紙のとおり訂正する。



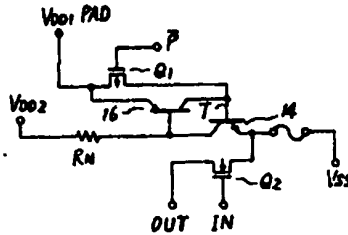
第 7 図



第 8 図



第 10 図



第 14 図

